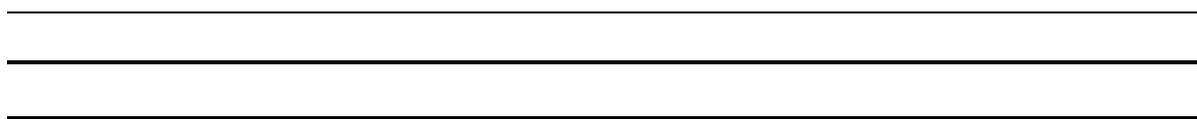




VME対応8軸コントローラボード
VME800



【取扱説明書】

マイコム株式会社

变更履历

变更日期	記号	变更内容
2006.09.13		初版
2007.04.27	A	P5.外形図変更

- 目 次 -

1.	はじめに	1
2.	概要	2
3.	構成	3
4.	仕様	4
5.	外形図	5
6.	基板上的スイッチおよびジャンパの設定内容	6
6.1.	SW1 (割り込みベクタ、IRQコード)	6
6.2.	SW2 (ベースアドレス設定)	6
6.3.	IRQ自動発生	7
6.4.	割り込みベクタ	9
7.	アドレスマップ	10
7.1.	加減速メモリデータ	11
7.2.	出力レジスタ1, 2 [0F00H, 0F02H, 1F00H, 1F02H]	11
7.3.	出力レジスタ3, 4 [0F04H, 0F06H, 1F04H]	13
7.4.	出力レジスタ7 [0F0CH, 1F0CH]	15
7.5.	入力レジスタ1 [0F0EH, 1F0EH]	16
7.6.	出力レジスタ8 [0F10H, 1F10H]	17
7.7.	出力レジスタ9 [0F12H, 1F12H]	18
7.8.	入力レジスタ2, 3 [0F14H, 0F16H, 1F14H, 1F16H]	19
7.9.	MPG2031コマンド4/5, ECコマンド2	21
7.9.1.	コマンド4	21
7.9.2.	コマンド5	22
7.9.3.	ECコマンド2	22
8.	原点サーチ機能	24
9.	コネクタ	25
9.1.	バスコネクタ	25
9.1.1.	3-3-2.外部入力電源(CN9)	26
9.1.2.	3-3-3.A~H軸入出力(CN1~CN8)	26
9.2.	入出力回路図	27
10.	タイミング	30
10.1.	バスデータ読み出しサイクル	30
10.2.	バスデータ書き込みサイクル	31
10.3.	割り込みタイミング	32
11.	出荷時の設定内容	33
11.1.	SW1 (割り込みベクタ、IRQコード)	33
11.2.	SW2 (ベースアドレス設定)	33

- 図 目 次 -

<u>図 1-1 . システム構成図</u>	1
<u>図 3-1 . 構成図</u>	3
<u>図 5-1 . VME 8 0 0 外形図</u>	5
<u>図 6-1 . SW 1 設定例</u>	6
<u>図 6-2 . SW 2 設定例</u>	7
<u>図 6-3 . ハードウェア概略図</u>	7
<u>図 8-1 . 原点サーチシーケンス</u>	24
<u>図 9-1 . 回路図</u>	27
<u>図 9-2 . 回路図</u>	27
<u>図 9-3 . 回路図</u>	27
<u>図 9-4 . 回路図</u>	27
<u>図 10-1 . 読み出しサイクル</u>	30
<u>図 10-2 . 書き込みサイクル</u>	31
<u>図 10-3 . 割り込みタイミング図</u>	32
<u>図 11-1 . SW 1 出荷設定</u>	33
<u>図 11-2 . SW 2 出荷設定</u>	33

- 表 目 次 -

表 1-1. 納入時のご確認内容	1
表 4-1. 仕様概要一覧表	4
表 6-1. SW1 割付	6
表 6-2. SW2 割付	6
表 6-3. IRQとSW1の対応	7
表 6-4. 割り込みステータスデータ	8
表 6-5. 割り込みベクタ表(下位4ビット)	9
表 7-1. アドレスマップ(1)	10
表 7-2. アドレスマップ(2)	11
表 7-3. 出力レジスタ1(0F00H)ビット割	11
表 7-4. 出力レジスタ2(0F02H)ビット割	12
表 7-5. 出力レジスタ1(1F00H)ビット割	12
表 7-6. 出力レジスタ2(1F02H)ビット割	12
表 7-7. 出力レジスタ3(0F04H)ビット割	13
表 7-8. 出力レジスタ4(0F06H)ビット割	13
表 7-9. 出力レジスタ3(1F04H)ビット割	14
表 7-10. 出力レジスタ4(1F06H)ビット割	14
表 7-11. 出力レジスタ7(0F0CH)ビット割	15
表 7-12. 出力レジスタ7(1F0CH)ビット割	15
表 7-13. 直線補間主軸設定	16
表 7-14. 入力レジスタ1(0F0EH)ビット割	16
表 7-15. 入力レジスタ1(F10EH)ビット割	16
表 7-16. 出力レジスタ8(0F10H)ビット割	17
表 7-17. 出力レジスタ8(1F10H)ビット割	17
表 7-18. 出力レジスタ9(0F12H)ビット割	18
表 7-19. 出力レジスタ9(1F12H)ビット割	18
表 7-20. 入力レジスタ2(0F14H)ビット割	19
表 7-21. 入力レジスタ3(0F16H)ビット割	19
表 7-22. 入力レジスタ2(1F14H)ビット割	20
表 7-23. 入力レジスタ3(1F16H)ビット割	20
表 7-24. MPG2031 コマンド4ビット割	21
表 7-25. MPG2031 コマンド5ビット割	22
表 7-26. MPG2031 ECコマンド1ビット割	22
表 7-27. エンコーダ入力方式設定表	23
表 7-28. エンコーダ入力設定表	23
表 9-1. バスコネクタピン割表	25
表 9-2. CN9ピン割表	26
表 9-3. CN1~CN8ピン割表	26

1. はじめに

品 名 VME800

本取扱説明書に記載されている会社名および製品名は各社の商標または登録商標です。このたびは、VME800をご使用頂きましてありがとうございます。

使用方法や取り扱いが適切でなければ、製品の機能が発揮できないばかりでなく思わぬ故障が起きたり、寿命を縮める原因となります。本取扱説明書を熟読して頂き、正しい取り扱いをして頂きますようお願い申し上げます。また、本製品はマイコム製高性能パルスジェネレータLSI MPG2031が搭載されています。合わせましてMPG2031取扱説明書も熟読して頂きますようお願い申し上げます。

本製品には以下の本体および付属部品が同梱されています。ご確認ください頂きますようお願い申し上げます。なお、付属部品などが無い場合には、申し訳ございませんが、代理店もしくは弊社までご連絡を頂きますようお願い申し上げます。

本体	VME800	
付属品1	CN1~8コネクター式	26ページを参照下さい
付属品2	CN9コネクター式	26ページを参照下さい
付属品3	VME800取扱説明書	

表 1-1 . 納入時のご確認内容

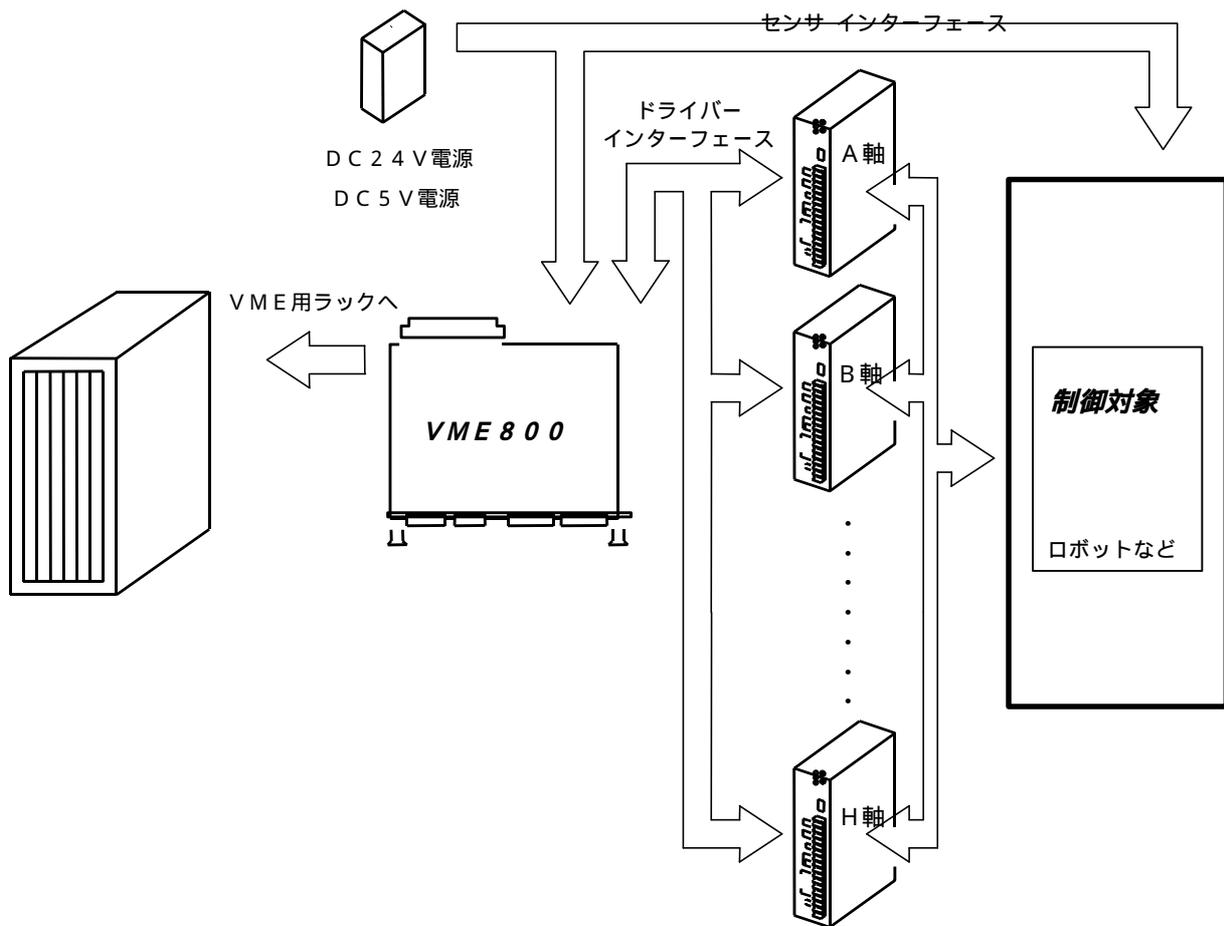


図 1-1 . システム構成図

2. 概要

VME 800は、VME - busインターフェースを持つダブルハイトサイズ高機能8軸モータコントローラモジュールです。

バスから直接パルスジェネレータLSI (MPG2031)に指令を送る事によりモータコントロール用パルス列を発生します。各軸に3点のセンサ・エンコーダ(A/B/Z相)入力と6点のドライバー制御用入出力を持ったステッピングモータもしくは位置決め用サーボモータを対象としたコントローラモジュールです。

本ボードは、マイコム製ASICのMBC - 001によってバスインターフェースとパルスジェネレータLSI (MPG2031)の周辺回路を集積化しコンパクトに実現しています。パルスジェネレータLSI (MPG2031)の詳細仕様に付きましては、MPG2031取扱説明書(No. QT34-05003)を参照下さい。

3. 構成

以下にVME 800の構成図を示します。

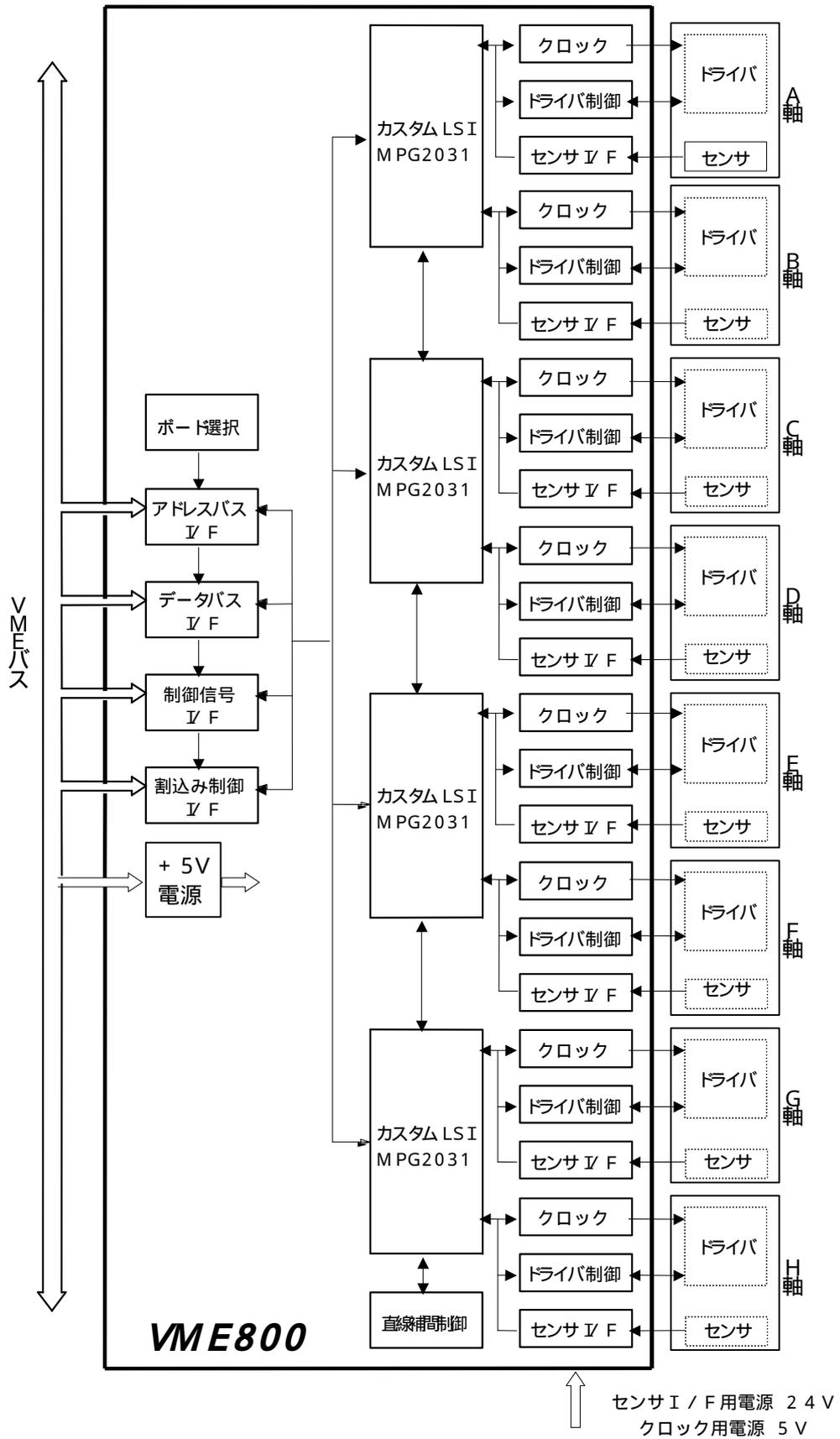


図 3-1 . 構成図

4. 仕様

以下にVME 800の仕様概要を示します。

項目	内 容		
制御方式	カスタムLSI MPG2031コマンド指令		
VMEバス仕様	バイトアクセス時： 偶数アドレス ワードアクセス時： 上位バイト		
制御軸数	8軸(軸名はA、B、C、D、E、F、G、H)		
対象モータ	ステッピングモータもしくは位置決め用サーボモータ		
基準クロック	3.2768MHz		
出力パルスレート	約0.1Hz~約1.6384MHz		
加減速傾斜	約4.9Hz/sec~約81.9MHz/sec		
設定パルス数	1~16, 777, 215パルス		
クロック出力	出力クロック形式	1クロック/2クロック設定	
	CWクロック方向	フォワード/リバース設定	
	出力信号論	オープンコレクタ設定	
	理	正論理/負論理設定	
加減速方式	任意形状加減速駆動/直線加減速駆動設定		
機能	PTP位置決め・直線補間位置決め(2~8軸までの補間が可能) 原点サーチ・エンコーダ入力信号からの途中位置割り込み機能		
ドライバ制御出力	信号内容	励磁オフ・サーボオン/オフ・リセット	
	出力回路	フォトカプラ出力	
	制御容量	10mA以下・耐圧35V	
ドライバ制御入力	信号内容	ドライバアラーム・インポジション 論理設定可 汎用入力	
	入力回路	フォトカプラ入力	
	制御容量	最大10mA・外部入力電源24V使用	
エンコーダ入力	信号内容	A/B/Z相 Z相のみ論理設定可	
	入力回路	ラインレシーバ設定	
	制御容量	最大10mA・外部入力電源24V使用(フォトカプラ時)	
センサ入力	信号内容	両端オーバーラン・ニア原点 論理設定可	
	入力回路	フォトカプラ入力	
	制御容量	最大10mA・外部入力電源24V使用	
外部入力	信号内容	外部非常停止	
	入力回路	フォトカプラ入力	
	制御容量	最大10mA・外部入力電源24V使用	
割り込みI/F	割込レベル	IRQ1~6設定	
ボードセレクト	A13~A15で0x0ff0000~0x0fffffeのアクセス可能 0x2000を占有		
電 源	バスロジック電源	DC+ 5V±5%	1.0A以下
	センサI/F用電源	DC+ 24V(外部)	0.6A以下
	クロック出力用電源	DC+ 5V(外部)	0.5A以下
基板外形寸法	233.35×160.0×40.0mm		
質 量	約400g		

表 4-1. 仕様概要一覧表

5. 外形图

A

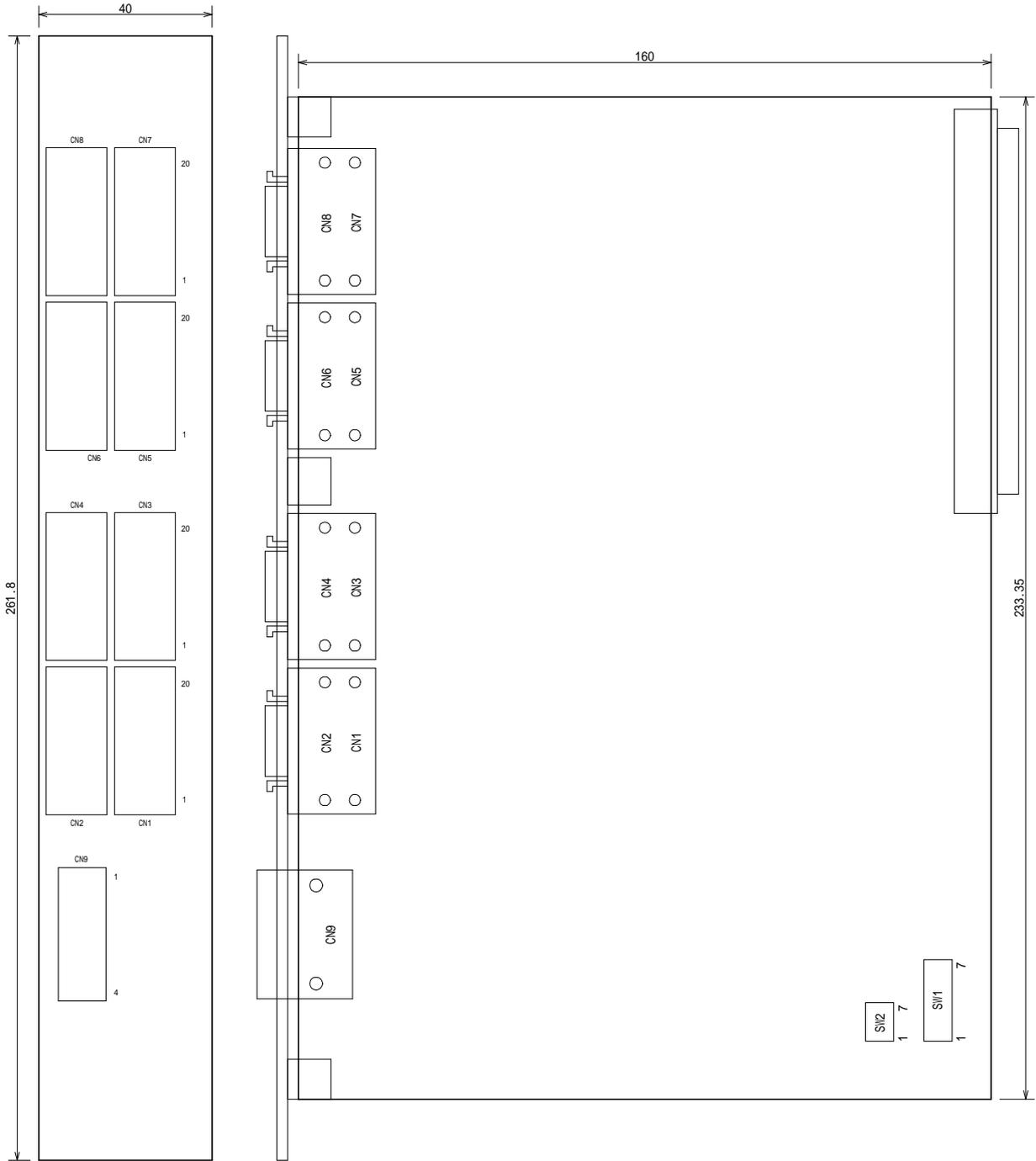


图 5-1 . VME 8 0 0 外形图

6. 基板上のスイッチおよびジャンパの設定内容

6.1. SW1 (割り込みベクタ、IRQコード)

SW1の1～3によりIRQコード、4～7により割り込みベクタの上位ビットを設定します。(下位5ビットは自動的に生成されます。)

ONの時に'0'、OFFの時に'1'となります。

スイッチ	内容
1	IRQコードビット0
2	IRQコードビット1
3	IRQコードビット2
4	ベクタビット4
5	ベクタビット5
6	ベクタビット6
7	ベクタビット7

表 6-1. SW1 割付

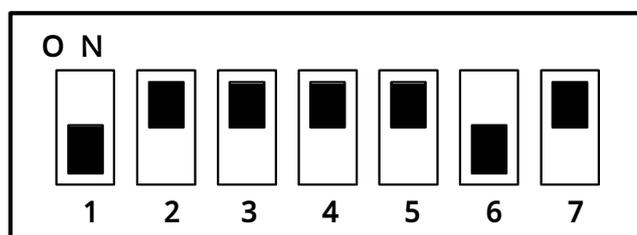


図 6-1. SW1 設定例

図 6-1 の設定例の場合、IRQレベル1・割り込みベクタ40H～4FHとなります。

IRQレベルの設定は、6.3 項のIRQ自動発生を参照して下さい。

割り込みベクタの下位4ビットの自動生成については6.4 項の割り込みベクタを参照して下さい。

6.2. SW2 (ベースアドレス設定)

VME800は、A15～A1のショートアドレスを使用します。アクセスは偶数アドレスのバイト転送のみで、メモリ占有は\$2000バイトです。

VME800のAMコードは、29Hおよび2DH対応となっていますのでモトローラ製VME用CPUボードの場合、アドレスの最上位(A23～A16)は0FFHとなります。

AMコード 29H=ショート非特権I/Oアクセス

2DH=ショート・スーパーバイザリI/Oアクセス

SW2の1～3によりVME800のベースアドレスを設定します。スイッチの1～3はONの時に'0'、OFFの時に'1'となり、アドレスA13からA15に対応しています。ご使用になるマシンの他の装置のアドレスと衝突しないようにアドレスを設定して下さい。

スイッチ	アドレスビット
1	A13
2	A14
3	A15

表 6-2. SW2 割付

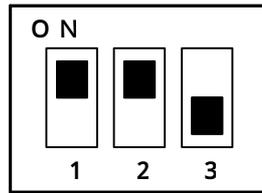


図 6-2 . S W 2 設定例

図 6-2 のスイッチ設定の場合、VME 800 のアドレスは 0 F F 8 0 0 0 ~ 0 F F 9 F F F H となります。

6.3. I R Q 自動発生

割り込みのレベルを S W 1 で設定した I R Q コードに基づいてハードウェアの回路で自動的に発生いたします。

ハードウェアの等価回路概略を以下に示します。

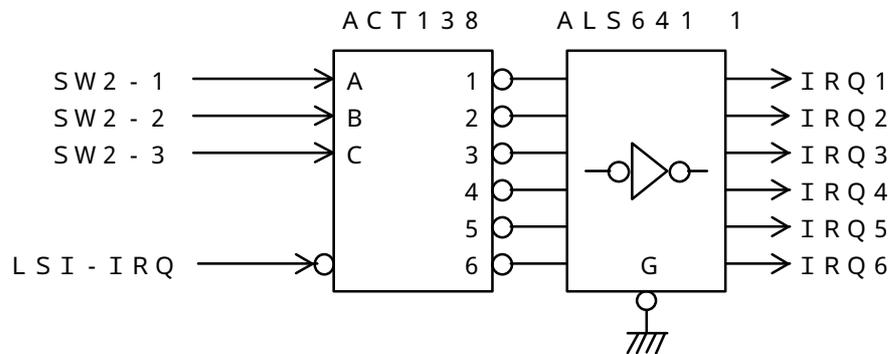


図 6-3 . ハードウェア概略図

S W 1 と割り込みリクエストの関係を以下に示します。

S W 1 のスイッチの設定により本ボードが使用する割り込みのリクエスト線をハードウェアが自動的に決定します。

S W 1 のスイッチを O N , O N , O N または O F F , O F F , O F F にした場合、**本ボードからの割り込みリクエストは発生いたしません**ので注意して下さい。

I R Q N o	S W 1 設定		
	1	2	3
I R Q 1	O F F	O N	O N
I R Q 2	O N	O F F	O N
I R Q 3	O F F	O F F	O N
I R Q 4	O N	O N	O F F
I R Q 5	O F F	O N	O F F
I R Q 6	O N	O F F	O F F

表 6-3 . I R Q と S W 1 の対応

マザーボードでは本モジュールを挿入するスロットの I A C K のジャンパは**オープン**にしておいて下さい。

また、本モジュールは割り込み要因をネゲートするまで IACKOUT* を出力しない構成になっておりますのでご注意下さい。

割り込み発生時の割り込みステータスデータを以下に示します。読み込みアドレスは7 . アドレスマップを参照して下さい。

割り込み信号	レジスタ	ビット
A , E 軸 INT	入力レジスタ 2	0
ERR		1
ECPB		2
ECPA		3
B , F 軸 INT		4
ERR		5
ECPB		6
ECPA		7
C , G 軸 INT	入力レジスタ 3	0
ERR		1
ECPB		2
ECPA		3
D , H 軸 INT		4
ERR		5
ECPB		6
ECPA		7

表 6-4 . 割り込みステータスデータ

(注) A , E 軸、B , F 軸、C , G 軸、D , H 軸はそれぞれ入力レジスタ名は同じですがアドレスが異なります。表 7-2 アドレスマップ(2)を参照してください。

7. アドレスマップ

本モジュールに対するアクセスは、1度に1バイトしかアクセスできません。従ってバイトアクセス時偶数アドレスのみ有効となります。

A 軸	B 軸	C 軸	D 軸	E 軸	F 軸	G 軸	H 軸	読み出しモード	書き込みモード
0000H	0400H	0800H	0C00H	1000H	1400H	1800H	1C00H	加減速メモリデータ	加減速メモリデータ
0200H	0600H	0A00H	0E00H	1200H	1600H	1A00H	1E00H	コマンド 1	コマンド 1
0202H	0602H	0A02H	0E02H	1202H	1602H	1A02H	1E02H	コマンド 2	コマンド 2
0204H	0604H	0A04H	0E04H	1204H	1604H	1A04H	1E04H	コマンド 3	コマンド 3
0206H	0606H	0A06H	0E06H	1206H	1606H	1A06H	1E06H	ステータス 1	未定義
0208H	0608H	0A08H	0E08H	1208H	1608H	1A08H	1E08H	ステータス 2	未定義
020AH	060AH	0A0AH	0E0AH	120AH	160AH	1A0AH	1E0AH	ステータス 3	未定義
020CH	060CH	0A0CH	0E0CH	120CH	160CH	1A0CH	1E0CH	コマンド 4	コマンド 4
020EH	060EH	0A0EH	0E0EH	120EH	160EH	1A0EH	1E0EH	コマンド 5	コマンド 5
0218H	0618H	0A18H	0E18H	1218H	1618H	1A18H	1E18H	レジスタ 下位	レジスタ 下位
021AH	061AH	0A1AH	0E1AH	121AH	161AH	1A1AH	1E1AH	レジスタ 中位	レジスタ 中位
021CH	061CH	0A1CH	0E1CH	121CH	161CH	1A1CH	1E1CH	レジスタ 上位	レジスタ 上位
0228H	0628H	0A28H	0E28H	1228H	1628H	1A28H	1E28H	Dレジスタ 下位	Dレジスタ 下位
022AH	062AH	0A2AH	0E2AH	122AH	162AH	1A2AH	1E2AH	Dレジスタ 中位	Dレジスタ 中位
022CH	062CH	0A2CH	0E2CH	122CH	162CH	1A2CH	1E2CH	Dレジスタ 上位	Dレジスタ 上位
0238H	0638H	0A38H	0E38H	1238H	1638H	1A38H	1E38H	Aレジスタ 下位	Aレジスタ 下位
023AH	063AH	0A3AH	0E3AH	123AH	163AH	1A3AH	1E3AH	Aレジスタ 中位	Aレジスタ 中位
023CH	063CH	0A3CH	0E3CH	123CH	163CH	1A3CH	1E3CH	Aレジスタ 上位	Aレジスタ 上位
0248H	0648H	0A48H	0E48H	1248H	1648H	1A48H	1E48H	Sレジスタ 下位	Sレジスタ 下位
024AH	064AH	0A4AH	0E4AH	124AH	164AH	1A4AH	1E4AH	Sレジスタ 上位	Sレジスタ 上位
024CH	064CH	0A4CH	0E4CH	124CH	164CH	1A4CH	1E4CH	Mレジスタ 下位	Mレジスタ 下位
024EH	064EH	0A4EH	0E4EH	124EH	164EH	1A4EH	1E4EH	Mレジスタ 上位	Mレジスタ 上位
0258H	0658H	0A58H	0E58H	1258H	1658H	1A58H	1E58H	G1レジスタ 下位	G1レジスタ 下位
025AH	065AH	0A5AH	0E5AH	125AH	165AH	1A5AH	1E5AH	G1レジスタ 上位	G1レジスタ 上位
025CH	065CH	0A5CH	0E5CH	125CH	165CH	1A5CH	1E5CH	G2レジスタ 下位	G2レジスタ 下位
025EH	065EH	0A5EH	0E5EH	125EH	165EH	1A5EH	1E5EH	G2レジスタ 上位	G2レジスタ 上位
0268H	0668H	0A68H	0E68H	1268H	1668H	1A68H	1E68H	Cレジスタ 下位	Cレジスタ 下位
026AH	066AH	0A6AH	0E6AH	126AH	166AH	1A6AH	1E6AH	Cレジスタ 中位	Cレジスタ 中位
026CH	066CH	0A6CH	0E6CH	126CH	166CH	1A6CH	1E6CH	Cレジスタ 上位	Cレジスタ 上位
0278H	0678H	0A78H	0E78H	1278H	1678H	1A78H	1E78H	Nレジスタ	Nレジスタ
0288H	0688H	0A88H	0E88H	1288H	1688H	1A88H	1E88H	Oレジスタ 下位	Oレジスタ 下位
028AH	068AH	0A8AH	0E8AH	128AH	168AH	1A8AH	1E8AH	Oレジスタ 中位	Oレジスタ 中位
028CH	068CH	0A8CH	0E8CH	128CH	168CH	1A8CH	1E8CH	Oレジスタ 上位	Oレジスタ 上位
0298H	0698H	0A98H	0E98H	1298H	1698H	1A98H	1E98H	エンコーダカウンタ 下位	エンコーダカウンタ 下位
029AH	069AH	0A9AH	0E9AH	129AH	169AH	1A9AH	1E9AH	エンコーダカウンタ	エンコーダカウンタ
029CH	069CH	0A9CH	0E9CH	129CH	169CH	1A9CH	1E9CH	エンコーダカウンタ	エンコーダカウンタ
029EH	069EH	0A9EH	0E9EH	129EH	169EH	1A9EH	1E9EH	エンコーダカウンタ 上位	エンコーダカウンタ 上位
02A8H	06A8H	0AA8H	0EA8H	12A8H	16A8H	1AA8H	1EA8H	出力パルス数 下位	未定義
02AAH	06AAH	0AAAH	0EAAH	12AAH	16AAH	1AAAH	1EAAH	出力パルス数 中位	未定義
02ACH	06ACH	0AACH	0EACH	12ACH	16ACH	1AACH	1EACH	出力パルス数 上位	未定義
02B8H	06B8H	0AB8H	0EB8H	12B8H	16B8H	1AB8H	1EB8H	周波数モニタ 下位	未定義
02BAH	06BAH	0ABAH	0EBAH	12BAH	16BAH	1ABAH	1EBAH	周波数モニタ 上位	未定義

表 7-1 . アドレスマップ(1)

A軸	B軸	C軸	D軸	E軸	F軸	G軸	H軸	読み出しモード	書き込みモード
02C8H	06C8H	0AC8H	0EC8H	12C8H	16C8H	1AC8H	1EC8H	EC コント` 1	EC コント` 1
02CAH	06CAH	0ACAH	0ECAH	12CAH	16CAH	1ACAH	1ECAH	EC ステータ	未定義
02CCH	06CCH	0ACCCH	0ECCH	12CCH	16CCH	1ACCH	1ECCH	EC コント` 2	EC コント` 2
02D8H	06D8H	0AD8H	0ED8H	12D8H	16D8H	1AD8H	1ED8H	EP0レジスタ 下位	EP0レジスタ 下位
02DAH	06DAH	0ADAH	0EDAH	12DAH	16DAH	1ADAH	1EDAH	EP0レジスタ	EP0レジスタ
02DCH	06DCH	0ADCCH	0EDCH	12DCH	16DCH	1ADCH	1EDCH	EP0レジスタ	EP0レジスタ
02DEH	06DEH	0ADEH	0EDEH	12DEH	16DEH	1ADEH	1EDEH	EP0レジスタ 上位	EP0レジスタ 上位
02E8H	06E8H	0AE8H	0EE8H	12E8H	16E8H	1AE8H	1EE8H	EP1レジスタ 下位	EP1レジスタ 下位
02EAH	06EAH	0AEAHA	0EEAHA	12EAH	16EAH	1AEAHA	1EEAHA	EP1レジスタ	EP1レジスタ
02ECH	06ECH	0AECCH	0EECCH	12ECH	16ECH	1AECCH	1EECCH	EP1レジスタ	EP1レジスタ
02EEH	06EEH	0AEEH	0EEEH	12EEH	16EEH	1AEEH	1EEEH	EP1レジスタ 上位	EP1レジスタ 上位
02F8H	06F8H	0AF8H	0EF8H	12F8H	16F8H	1AF8H	1EF8H	EP2レジスタ 下位	EP2レジスタ 下位
02FAH	06FAH	0AFAHA	0EFAHA	12FAH	16FAH	1AFAHA	1EFAHA	EP2レジスタ	EP2レジスタ
02FCH	06FCH	0AFCH	0EFCH	12FCH	16FCH	1AFCH	1EFCH	EP2レジスタ	EP2レジスタ
02FEH	06FEH	0AFEH	0EFEH	12FEH	16FEH	1AFEH	1EFEH	EP2レジスタ 上位	EP2レジスタ 上位
0F00H				1F00H				出力レジスタ 1	出力レジスタ 1
0F02H				1F02H				出力レジスタ 2	出力レジスタ 2
0F04H				1F04H				出力レジスタ 3	出力レジスタ 3
0F06H				1F06H				出力レジスタ 4	出力レジスタ 4
0F08H				1F08H				未使用	未使用
0F0AH				1F0AH				未使用	未使用
0F0CH				1F0CH				出力レジスタ 7	出力レジスタ 7
0F0EH				1F0EH				入力レジスタ 1	未定義
0F10H				1F10H				出力レジスタ 8	出力レジスタ 8
0F12H				1F12H				出力レジスタ 9	出力レジスタ 9
0F14H				1F14H				入力レジスタ 2	未定義
0F16H				1F16H				入力レジスタ 3	未定義

表 7-2 . アドレスマップ(2)

7.1.加減速メモリデータ

任意形状加減速用メモリの先頭番地を示します。

7.2.出力レジスタ 1 , 2 [0 F 0 0 H , 0 F 0 2 H , 1 F 0 0 H , 1 F 0 2 H]

以下に出力レジスタ 1 , 2 に関しての説明します。 ' 1 ' がアクティブです。

出力レジスタ 1 は A ・ B ・ E ・ F 軸、出力レジスタ 2 は C ・ D ・ G ・ H 軸の原点サーチ用パルスカウンタ数の設定を行います。

ビット	名 称	内 容	初期値
D 0	HOME COUNT A0	原点サーチ用パルスカウンタ設定 A 1	0
D 1	HOME COUNT A1	原点サーチ用パルスカウンタ設定 A 2	
D 2	HOME COUNT A2	原点サーチ用パルスカウンタ設定 A 4	
D 3	HOME COUNT A3	原点サーチ用パルスカウンタ設定 A 8	
D 4	HOME COUNT B0	原点サーチ用パルスカウンタ設定 B 1	0
D 5	HOME COUNT B1	原点サーチ用パルスカウンタ設定 B 2	
D 6	HOME COUNT B2	原点サーチ用パルスカウンタ設定 B 4	
D 7	HOME COUNT B3	原点サーチ用パルスカウンタ設定 B 8	

表 7-3 . 出力レジスタ 1 (0 F 0 0 H) ビット割

ビット	名 称	内 容	初期値
D 0	HOMECOUNT C0	原点サーチ用パルスカウント設定 C 1	0
D 1	HOMECOUNT C1	原点サーチ用パルスカウント設定 C 2	
D 2	HOMECOUNT C2	原点サーチ用パルスカウント設定 C 4	
D 3	HOMECOUNT C3	原点サーチ用パルスカウント設定 C 8	
D 4	HOMECOUNT D0	原点サーチ用パルスカウント設定 D 1	0
D 5	HOMECOUNT D1	原点サーチ用パルスカウント設定 D 2	
D 6	HOMECOUNT D2	原点サーチ用パルスカウント設定 D 4	
D 7	HOMECOUNT D3	原点サーチ用パルスカウント設定 D 8	

表 7-4 . 出力レジスタ 2 (0 F 0 2 H) ビット割

ビット	名 称	内 容	初期値
D 0	HOMECOUNT E0	原点サーチ用パルスカウント設定 E 1	0
D 1	HOMECOUNT E1	原点サーチ用パルスカウント設定 E 2	
D 2	HOMECOUNT E2	原点サーチ用パルスカウント設定 E 4	
D 3	HOMECOUNT E3	原点サーチ用パルスカウント設定 E 8	
D 4	HOMECOUNT F0	原点サーチ用パルスカウント設定 F 1	0
D 5	HOMECOUNT F1	原点サーチ用パルスカウント設定 F 2	
D 6	HOMECOUNT F2	原点サーチ用パルスカウント設定 F 4	
D 7	HOMECOUNT F3	原点サーチ用パルスカウント設定 F 8	

表 7-5 . 出力レジスタ 1 (1 F 0 0 H) ビット割

ビット	名 称	内 容	初期値
D 0	HOMECOUNT G0	原点サーチ用パルスカウント設定 G 1	0
D 1	HOMECOUNT G1	原点サーチ用パルスカウント設定 G 2	
D 2	HOMECOUNT G2	原点サーチ用パルスカウント設定 G 4	
D 3	HOMECOUNT G3	原点サーチ用パルスカウント設定 G 8	
D 4	HOMECOUNT H0	原点サーチ用パルスカウント設定 H 1	0
D 5	HOMECOUNT H1	原点サーチ用パルスカウント設定 H 2	
D 6	HOMECOUNT H2	原点サーチ用パルスカウント設定 H 4	
D 7	HOMECOUNT H3	原点サーチ用パルスカウント設定 H 8	

表 7-6 . 出力レジスタ 2 (1 F 0 2 H) ビット割

- HOMECOUNT 原点サーチシーケンス時の原点センサの計数を設定するもので 4 ビットのデータです。設定は 0 ~ 15 です。
 設定値が 0 の場合は原点センサを無視し、NEAR 信号が ON で原点サーチ完了します。
 A 0 ~ A 3 までは A 軸に対応しています。
 B 0 ~ B 3 までは B 軸に対応しています。
 C 0 ~ C 3 までは C 軸に対応しています。
 D 0 ~ D 3 までは D 軸に対応しています。
 E 0 ~ E 3 までは E 軸に対応しています。
 F 0 ~ F 3 までは F 軸に対応しています。
 G 0 ~ G 3 までは G 軸に対応しています。
 H 0 ~ H 3 までは H 軸に対応しています。
- 注) これらのカウントデータに関しましては各軸の HOMERET 信号がアクティブになるときにダウンカウンタに設定されているデータが口

ードされます。

よってこのカウントデータの設定は一度行くとカウント数の変更がない限り、原点サーチシーケンスの動作を行う度に設定する必要はありません。ハードウェアにて自動的に行います。

7.3.出力レジスタ3, 4 [0 F 0 4 H , 0 F 0 6 H , 1 F 0 4 H , 1 F 0 6 H]

以下に出力レジスタ3, 4に関しての説明をします。

出力レジスタ3はA・B・E・F軸、出力レジスタ4はC・D・G・H軸の原点サーチ用のコントロール信号のポートになっています。

ビット	名 称	内 容	設 定 値		初期値
D 0	HOMESEL A	A 軸 原点信号選択	0	ORG	0
			1	Z	
D 1	HOMELOG A	原点信号論理設定	0	B 接	1
			1	A 接	
D 2	HOMECLEAR A	原点信号出力クリア	0	非動作	0
			1	クリア動作	
D 3	HOMERET A	原点サーチシーケンス	0	通常動作	0
			1	原点サーチ	
D 4	HOMESEL B	B 軸 原点信号選択	0	ORG	0
			1	Z	
D 5	HOMELOG B	原点信号論理設定	0	B 接	1
			1	A 接	
D 6	HOMECLEAR B	原点信号出力クリア	0	非動作	0
			1	クリア動作	
D 7	HOMERET B	原点サーチシーケンス	0	通常動作	0
			1	原点サーチ	

表 7-7 . 出力レジスタ3(0 F 0 4 H)ビット割

ビット	名 称	内 容	設 定 値		初期値
D 0	HOMESEL C	C 軸 原点信号選択	0	ORG	0
			1	Z	
D 1	HOMELOG C	原点信号論理設定	0	B 接	1
			1	A 接	
D 2	HOMECLEAR C	原点信号出力クリア	0	非動作	0
			1	クリア動作	
D 3	HOMERET C	原点サーチシーケンス	0	通常動作	0
			1	原点サーチ	
D 4	HOMESEL D	D 軸 原点信号選択	0	ORG	0
			1	Z	
D 5	HOMELOG D	原点信号論理設定	0	B 接	1
			1	A 接	
D 6	HOMECLEAR D	原点信号出力クリア	0	非動作	0
			1	クリア動作	
D 7	HOMERET D	原点サーチシーケンス	0	通常動作	0
			1	原点サーチ	

表 7-8 . 出力レジスタ4(0 F 0 6 H)ビット割

ビット	名 称	内 容	設 定 値		初期値
D 0	HOMESEL E	E 軸 原点信号選択	0	ORG	0
			1	Z	
D 1	HOMELOG E	原点信号論理設定	0	B接	1
			1	A接	
D 2	HOMECLEAR E	原点信号出力クリア	0	非動作	0
			1	クリア動作	
D 3	HOMERET E	原点サーチシーケンス	0	通常動作	0
			1	原点サーチ	
D 4	HOMESEL F	F 軸 原点信号選択	0	ORG	0
			1	Z	
D 5	HOMELOG F	原点信号論理設定	0	B接	1
			1	A接	
D 6	HOMECLEAR F	原点信号出力クリア	0	非動作	0
			1	クリア動作	
D 7	HOMERET F	原点サーチシーケンス	0	通常動作	0
			1	原点サーチ	

表 7-9 . 出力レジスタ3 (1 F 0 4 H)ビット割

ビット	名 称	内 容	設 定 値		初期値
D 0	HOMESEL G	G 軸 原点信号論理設定	0	ORG	0
			1	Z	
D 1	HOMELOG G	原点信号論理設定	0	B接	1
			1	A接	
D 2	HOMECLEAR G	原点信号出力クリア	0	非動作	0
			1	クリア動作	
D 3	HOMERET G	原点サーチシーケンス	0	通常動作	0
			1	原点サーチ	
D 4	HOMESEL H	H 軸 原点信号選択	0	ORG	0
			1	Z	
D 5	HOMELOG H	原点信号論理設定	0	B接	1
			1	A接	
D 6	HOMECLEAR H	原点信号出力クリア	0	非動作	0
			1	クリア動作	
D 7	HOMERET H	原点サーチシーケンス	0	通常動作	0
			1	原点サーチ	

表 7-10 . 出力レジスタ4 (1 F 0 6 H)ビット割

- HOMELOG Z相信号の論理を決定するフラグで0の時B接入力となります。
- HOMECLEAR HOMECOUNT によってラッチされた原点信号がMPG2031に供給されます。このラッチ信号のリセット信号です。ワンショットのハードウェアになっていませんのでセット後必ずリセットして下さい。1がアクティブです。
- HOMERET 原点サーチシーケンス起動時にセットするフラグです。このフラグが1になっている時に原点サーチシーケンス用のハードウェアが動作します。
- HOMESEL 原点信号選択するフラグで0の時ORGが選択されます。

7.4.出力レジスタ7 [0 F 0 C H , 1 F 0 C H]

ビット	名 称	内 容	設 定 値		初期値	
D 0	AXISSEL0	主軸指定設定 1	0	表 7-13 を 参照下さい	0	
			1			
D 1	AXISSEL1	主軸指定設定 2	0		無動作	0
			1			
D 2	HCLR_RES1	原点信号リセット	0	リセット		0
			1			
D 3	CHECK1	チェック用ビット	0	無動作	0	
			1			
D 4	COA	A 軸励磁オフ	0	非出力	0	
			1			
D 5	COB	B 軸励磁オフ	0	非出力	0	
			1			
D 6	COC	C 軸励磁オフ	0	非出力	0	
			1			
D 7	COD	D 軸励磁オフ	0	非出力	0	
			1			

表 7-11 . 出力レジスタ7 (0 F 0 C H) ビット割

ビット	名 称	内 容	設 定 値		初期値	
D 0	AXISSEL2	主軸指定設定 3	0	表 7-13 を 参照下さい	0	
			1			
D 1	AXISSEL3	主軸指定設定 4	0		無動作	0
			1			
D 2	HCLR_RES2	原点信号リセット	0	リセット		0
			1			
D 3	CHECK2	チェック用ビット	0	無動作	0	
			1			
D 4	COE	E 軸励磁オフ	0	非出力	0	
			1			
D 5	COF	F 軸励磁オフ	0	非出力	0	
			1			
D 6	COG	G 軸励磁オフ	0	非出力	0	
			1			
D 7	COH	H 軸励磁オフ	0	非出力	0	
			1			

表 7-12 . 出力レジスタ7 (1 F 0 C H) ビット割

- HCLR_RES 原点サーチ動作時に何かの原因で停止した際にこのビットで M P G 2 0 3 1 の HOME 信号およびリセット出力を 0 にリセットします。
- CHECK 読み書き可能なビットですが何も機能しません。ボードのアクセスの確認で使用します。
- CO モータに対する励磁オフ信号を制御します。1 がアクティブです。C N 2 コネクタの ACO ~ HCO に接続されています。本モジュールの内部ハードウェアには依存していませんので汎用出力端子として使用することが可能です。

AXISSEL

直線補間動作時の主軸を設定するレジスタで、AXISSEL1:0 の設定値 0 ~ 3 がそれぞれ A ~ D 軸、AXISSEL3:2 の設定値 0 ~ 3 がそれぞれ E ~ H 軸に該当します。

AXISSEL4 は出力レジスタ 9 (表 7-19 参照) にあり、A ~ D 軸を指定する場合は 0、E ~ H 軸を設定する場合は 1 を設定します。

レジスタ名					主軸軸名
AXISSEL4	AXISSEL3	AXISSEL2	AXISSEL1	AXISSEL0	
0	X	X	0	0	A 軸
0	X	X	0	1	B 軸
0	X	X	1	0	C 軸
0	X	X	1	1	D 軸
1	0	0	X	X	E 軸
1	0	1	X	X	F 軸
1	1	0	X	X	G 軸
1	1	1	X	X	H 軸

表 7-13 . 直線補間主軸設定

X... 1、0 のどちらでもよい

7.5. 入力レジスタ 1 [0 F 0 E H , 1 F 0 E H]

入力用レジスタで読み込むことで、以下の内容が判ります。 ' 1 ' がアクティブです。

ビット	名 称	内 容
D 0	IN A	A 軸汎用入力
D 1	Z A	Z 相入力
D 2	IN B	B 軸汎用入力
D 3	Z B	Z 相入力
D 4	IN C	C 軸汎用入力
D 5	Z C	Z 相入力
D 6	IN D	D 軸汎用入力
D 7	Z D	Z 相入力

表 7-14 . 入力レジスタ 1 (0 F 0 E H) ビット割

ビット	名 称	内 容
D 0	IN E	E 軸汎用入力
D 1	Z E	Z 相入力
D 2	IN F	F 軸汎用入力
D 3	Z F	Z 相入力
D 4	IN G	G 軸汎用入力
D 5	Z G	Z 相入力
D 6	IN H	H 軸汎用入力
D 7	Z H	Z 相入力

表 7-15 . 入力レジスタ 1 (1 F 0 E H) ビット割

IN 各軸の汎用入力信号です。
 Z Z相の入力信号です。MPG2031のステータスのHOME信号は原点サーチ動作のための信号に変換されています。従いましてZ相信号のリアルタイムな情報はこの入力レジスタ1で確認して下さい。

7.6.出力レジスタ8 [0 F 1 0 H , 1 F 1 0 H]

ビット	名 称	内 容	設 定 値		初期値
D 0	SSTP A	A 軸減速停止命令	0	非発行	0
			1	発行	
D 1	SSTP B	B 軸減速停止命令	0	非発行	0
			1	発行	
D 2	SSTP C	C 軸減速停止命令	0	非発行	0
			1	発行	
D 3	SSTP D	D 軸減速停止命令	0	非発行	0
			1	発行	
D 4	ES A	A 軸非常停止命令	0	非発行	0
			1	発行	
D 5	ES B	B 軸非常停止命令	0	非発行	0
			1	発行	
D 6	ES C	C 軸非常停止命令	0	非発行	0
			1	発行	
D 7	ES D	D 軸非常停止命令	0	非発行	0
			1	発行	

表 7-16 . 出力レジスタ8(0 F 1 0 H)ビット割

ビット	名 称	内 容	設 定 値		初期値
D 0	SSTP E	E 軸減速停止命令	0	非発行	0
			1	発行	
D 1	SSTP F	F 軸減速停止命令	0	非発行	0
			1	発行	
D 2	SSTP G	G 軸減速停止命令	0	非発行	0
			1	発行	
D 3	SSTP H	H 軸減速停止命令	0	非発行	0
			1	発行	
D 4	ES E	E 軸非常停止命令	0	非発行	0
			1	発行	
D 5	ES F	F 軸非常停止命令	0	非発行	0
			1	発行	
D 6	ES G	G 軸非常停止命令	0	非発行	0
			1	発行	
D 7	ES H	H 軸非常停止命令	0	非発行	0
			1	発行	

表 7-17 . 出力レジスタ8(1 F 1 0 H)ビット割

SSTP 指定軸の減速停止信号です。
 ES 指定軸の非常停止信号です。

7.7.出力レジスタ9 [0 F 1 2 H , 1 F 1 2 H]

ビット	名 称	内 容	設 定 値		初期値
D 0	INTRESET1	A ~ D 軸割込み要求信号ビット	0	無動作	1
			1	ビット動作	
D 1	/INT_EN1	A ~ D 軸割り込み有効 / 無効	0	有効	1
			1	無効	
D 2	ES1	A ~ D 軸非常停止命令	0	無動作	0
			1	非常停止	
D 3	PAUS	同期スタート	0	無動作	0
			1	同期	
D 4	NONE	未使用	0	無動作	0
			1	無動作	
D 5	NONE	未使用	0	無動作	1
			1	無動作	
D 6	NONE	未使用	0	無動作	0
			1	無動作	
D 7	NONE	未使用	0	無動作	0
			1	無動作	

表 7-18 . 出力レジスタ9 (0 F 1 2 H) ビット割

ビット	名 称	内 容	設 定 値		初期値
D 0	INTRESET2	E ~ H 軸割込み要求信号ビット	0	無動作	1
			1	ビット動作	
D 1	/INT_EN2	E ~ H 軸割込み有効 / 無効	0	有効	1
			1	無効	
D 2	ES2	E ~ H 軸非常停止命令	0	無動作	0
			1	非常停止	
D 3	AXISSEL4	主軸指定設定 5	0	表 7-13 を	0
			1	参照下さい	
D 4	NONE	未使用	0	無動作	0
			1	無動作	
D 5	NONE	未使用	0	無動作	1
			1	無動作	
D 6	NONE	未使用	0	無動作	0
			1	無動作	
D 7	NONE	未使用	0	無動作	0
			1	無動作	

表 7-19 . 出力レジスタ9 (1 F 1 2 H) ビット割

INTRESET **必ず 0** を書き込んでください。 **1** は設定しないでください。
 /INT_EN **必ず 0** を書き込んでください。 1 を設定されますとバスインターフェースに対して **割り込み要求信号を出力しません**ので 1 は設定しないでください。
 ES 全軸に接続される非常停止信号です。
 また、出力レジスタ 8 の各軸の ESA ~ ESH とともに OR 接続されています。

PAUS
NONE

全軸に接続される多軸同期スタート用信号です。
未使用のビットです。

7.8.入力レジスタ 2 , 3 [0 F 1 4 H , 0 F 1 6 H , 1 F 1 4 H , 1 F 1 6 H]

ビット	名 称	内 容	入 力 値	
D 0	INT A	A 軸 動作完了割り込み	0	非要求
			1	要求
D 1	ERR A	エラー割り込み	0	非要求
			1	要求
D 2	ECPA_B	エンコーダカウンタ グループ B 割り込み	0	非要求
			1	要求
D 3	ECPA_A	エンコーダカウンタ グループ A 割り込み	0	非要求
			1	要求
D 4	INT B	B 軸 動作完了割り込み	0	非要求
			1	要求
D 5	ERR B	エラー割り込み	0	非要求
			1	要求
D 6	ECPB_B	エンコーダカウンタ グループ B 割り込み	0	非要求
			1	要求
D 7	ECPB_A	エンコーダカウンタ グループ A 割り込み	0	非要求
			1	要求

表 7-20 . 入力レジスタ 2 (0 F 1 4 H) ビット割

ビット	名 称	内 容	入 力 値	
D 0	INT C	C 軸 動作完了割り込み	0	非要求
			1	要求
D 1	ERR C	エラー割り込み	0	非要求
			1	要求
D 2	ECPC_B	エンコーダカウンタ グループ B 割り込み	0	非要求
			1	要求
D 3	ECPC_A	エンコーダカウンタ グループ A 割り込み	0	非要求
			1	要求
D 4	INT D	D 軸 動作完了割り込み	0	非要求
			1	要求
D 5	ERR D	エラー割り込み	0	非要求
			1	要求
D 6	ECPD_B	エンコーダカウンタ グループ B 割り込み	0	非要求
			1	要求
D 7	ECPD_A	エンコーダカウンタ グループ A 割り込み	0	非要求
			1	要求

表 7-21 . 入力レジスタ 3 (0 F 1 6 H) ビット割

ビット	名 称	内 容	入 力 値	
D 0	INT E	E 軸 動作完了割り込み	0	非要求
			1	要求
D 1	ERR E	エラー割り込み	0	非要求
			1	要求
D 2	ECPE_B	エンコーダカウンタ グループ B 割り込み	0	非要求
			1	要求
D 3	ECPE_A	エンコーダカウンタ グループ A 割り込み	0	非要求
			1	要求
D 4	INT F	F 軸 動作完了割り込み	0	非要求
			1	要求
D 5	ERR F	エラー割り込み	0	非要求
			1	要求
D 6	ECPF_B	エンコーダカウンタ グループ B 割り込み	0	非要求
			1	要求
D 7	ECPF_A	エンコーダカウンタ グループ A 割り込み	0	非要求
			1	要求

表 7-22 . 入力レジスタ 2 (1 F 1 4 H) ビット割

ビット	名 称	内 容	入 力 値	
D 0	INT G	G 軸 動作完了割り込み	0	非要求
			1	要求
D 1	ERR G	エラー割り込み	0	非要求
			1	要求
D 2	ECPG_B	エンコーダカウンタ グループ B 割り込み	0	非要求
			1	要求
D 3	ECPG_A	エンコーダカウンタ グループ A 割り込み	0	非要求
			1	要求
D 4	INT H	H 軸 動作完了割り込み	0	非要求
			1	要求
D 5	ERR H	エラー割り込み	0	非要求
			1	要求
D 6	ECPH_B	エンコーダカウンタ グループ B 割り込み	0	非要求
			1	要求
D 7	ECPH_A	エンコーダカウンタ グループ A 割り込み	0	非要求
			1	要求

表 7-23 . 入力レジスタ 3 (1 F 1 6 H) ビット割

INT 動作完了割り込み要求ステータスです。
ERR エラー割り込み要求ステータスです。
ECP_A エンコーダカウンタ(ECZR と ECP0)割り込み要求ステータスです。
ECP_B エンコーダカウンタ(ECP1 と ECP2)割り込み要求ステータスです。

7.9.MPG2031 コマンド4 / 5 , EC コマンド2

MPG2031の基本的操作はパルス払い出しに関するもので、MPG2031取扱説明書を参照して頂くことで問題はありません。しかし、上記3種類のコマンドはVME800のシステムに関する設定ですのでここで説明を致します。

7.9.1.コマンド4

このコマンドは、入出力信号の論理を設定するコマンドレジスタです。

ビット	名 称	内 容	設 定 値		初期値
D 0	LOG_NEAR	ニア原点入力論理設定	0	A 接	0
			1	B 接	
D 1	LOG_HOME	原点入力論理設定	0	A 接	0
			1	B 接	
D 2	LOG_ALM	アラーム入力論理設定	0	A 接	0
			1	B 接	
D 3	LOG_ES	非常停止入力論理設定	0	A 接	0
			1	B 接	
D 4	LOG_COF	偏差カウンタオーバーフロー入力論理設定	0	A 接	0
			1	B 接	
D 5	LOG_OV	オーバーラン入力論理設定	0	A 接	0
			1	B 接	
D 6	LOG_INPS	インポジション入力論理設定	0	A 接	0
			1	B 接	
D 7	LOG_PLS	パルス出力論理設定	0	正論理	0
			1	負論理	

表 7-24 . MPG2031 コマンド4 ビット割

LOG_NEAR	VME800特有の原点サーチ機能を使用せずニア原点センサのみのMPG2031のコマンドの原点サーチ動作時だけこの設定は自由です。VME800の原点サーチ機能をご使用の際は、0(A接)に設定して下さい。またこの論理に合うようにセンサはA接にして下さい。
LOG_HOME	この設定は必ず0(A接[正論理])に設定して下さい。
LOG_ALM	MPG2031に直接接続されますからどちらの設定も可能です。
LOG_ES	この設定は必ず0(A接)に設定して下さい。また、内部でこの信号は反転していますのでコネクタ入力信号はB接点にして下さい。
LOG_COF	この設定は必ず0(A接[正論理])に設定して下さい。(この偏差カウンタオーバーフロー信号に使用しておらずGNDに接続されているためです。)
LOG_OV	MPG2031に直接接続されますからどちらの設定も可能です。
LOG_INPS	MPG2031に直接接続されますからどちらの設定も可能です。
LOG_PLS	どちらの設定も可能です。

7.9.2. コマンド 5

このコマンドは、直線補間制御および対象モータ設定を行うコマンドレジスタです。

ビット	名 称	内 容	設 定 値		初期値
D 0	SCW	回転方向設定 フォワード方向	0	CCW	1
			1	CW	
D 1	GBM	クロック出力モード設定	0	2クロック	1
			1	1クロック	
D 2	STP	対象モータ	0	ステップモータ	0
			1	サーボモータ	
D 3	ICP_SEL	直線補間モード	0	外部入力	0
			1	内部生成	
D 4	NONE	未使用			0
D 5	NONE	未使用			0
D 6	NONE	未使用			0
D 7	NONE	未使用			0

表 7-25 . MPG2031 コマンド 5 ビット割

SCW	MPG2031 のモータ回転方向指定はフォワード/リバースで指定されます。このフォワードの回転方向が CW 回転なのか CCW 回転なのかを設定します。
GBM	モータドライバでは 2クロック入力タイプと 1クロック入力タイプがあります。すなわち CW/CCW クロック入力タイプとクロック/方向入力タイプです。このドライバ入力タイプを設定します。
STP	対象モータを設定します。サーボモータに設定した場合パルス払い出し後ドライバからの位置決め完了信号（インポジション）によって動作を完了する機能を持ちます。ステップモータの設定の場合にはパルス払い出し後直ちに動作を完了します。
ICP_SEL	直線補間動作を行う時に MPG2031 内部のみの 2 軸直線補間動作をさせる時に内部生成を設定します。ただし、 本ボードの場合には、外部設定固定(0)として下さい。

7.9.3. E C コマンド 2

このコマンドは、エンコーダ入力に関する設定を行うコマンドレジスタです。

ビット	名 称	内 容	設 定 値	初期値
D0	E0	エンコーダクロック方式	*1	0
D1	E1			0
D2	IEC_SEL0	エンコーダ入力方式	*2	0
D3	IEC_SEL1			0
D4	NONE	未使用		0
D5	NONE	未使用		0
D6	NONE	未使用		0
D7	NONE	未使用		0

表 7-26 . MPG2031 E C コマンド 1 ビット割

- *1)E1:0 各軸のエンコーダ入力のクロック方式もしくは逡倍率を設定します。
下記のバイクロックは CW/CCW クロック入力を示します。

E1	E0	設 定 内 容
0	0	90°位相信号1逡倍
0	1	90°位相信号2逡倍
1	0	90°位相信号4逡倍
1	1	バイクロック

表 7-27 . エンコーダ入力方式設定表

- *2)IEC_SEL1:0 各軸のエンコーダ信号の接続方法を設定します。
MPG2031 内部のカウンタ A / B 相の接続方法を決定します。外部出力 PCW/DCCW の設定の場合には、GBM=0(2クロック)・E1:0=11(バイクロック)に設定して下さい。

IEC_SEL1	IEC_SEL0	設 定 内 容	
		カウンタ A 相	カウンタ B 相
0	0	外部入力 EA	外部入力 EB
0	1	外部入力 EB	外部入力 EA
1	0	外部出力 PCW	外部出力 DCCW
1	1	外部出力 DCCW	外部出力 PCW

表 7-28 . エンコーダ入力設定表

8. 原点サーチ機能

例によって動作を説明します。

<設定例>

HOME COUNT : 7 (設定値) カウント数は7

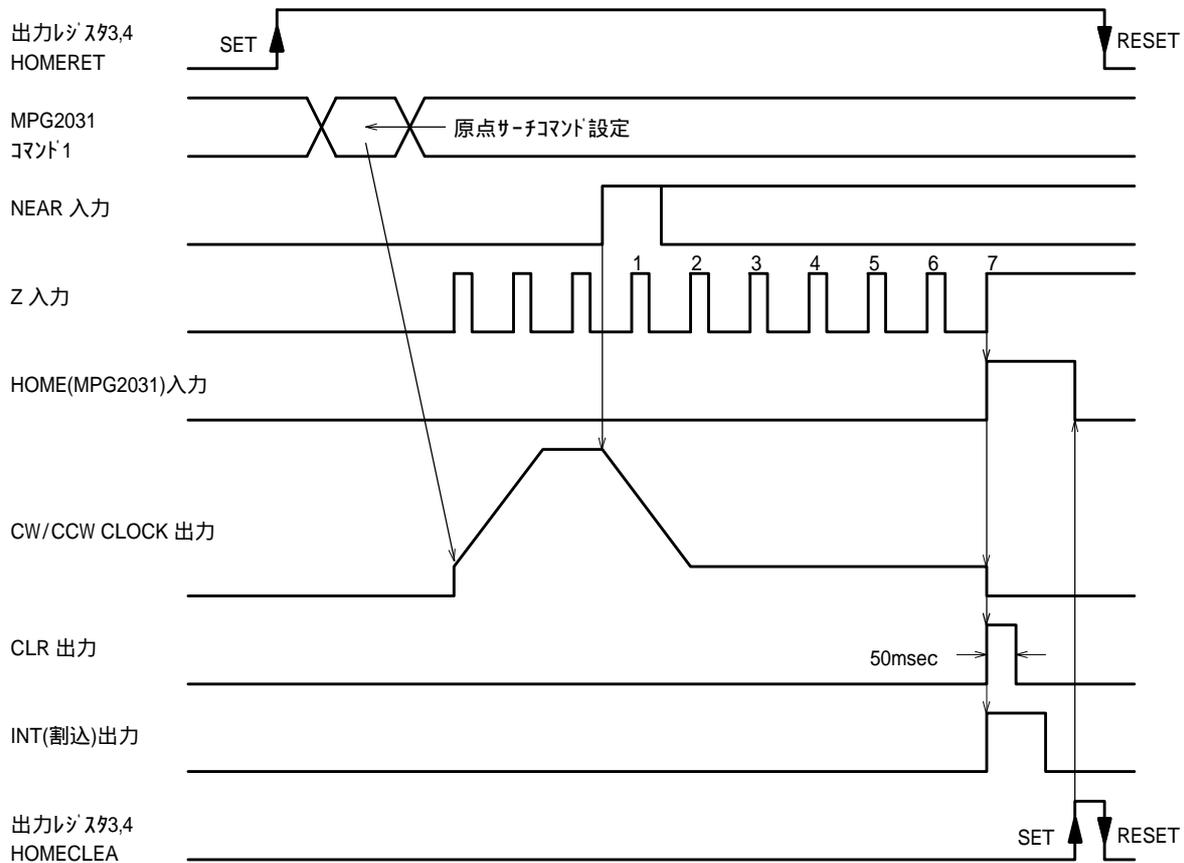


図 8-1 . 原点サーチシーケンス

出力レジスタ3, 4のHOMERETが1の時に、このハードウェアは起動しますからこのビットを0のままMPG2031のみ原点サーチを起動しても正常動作しませんので充分注意して下さい。

<動作概要>

原点サーチ機能に関しての動作概要を以下に記します。

出力レジスタ1, 2にて設定されているカウント値をHOMERET信号のSET時にダウンカウンタにロードします。その後、NEAR信号がアクティブになってからのZ相信号をカウントして設定されているカウント値まで数を数えます。

設定されたカウント値になったときにHOME信号がMPG2031に出力されます。この時、ワンショットによってCLR信号が50msec出力されます。

この原点サーチ機能で注意が必要なのは、NEAR信号がノンアクティブからアクティブに変化しないとカウンタ回路が動作しません。

従いまして原点サーチ起動前にNEAR信号(MPG2031のNEAR端子)をチェックして、オンならばNEAR信号がオフになるまで戻してからサーチ起動を行うようにプログラムを作成して下さい。

また、本原点サーチ機能でのNEAR信号は正論理で動作していますのでこの信号論理は必ず正論理にして下さい。

9. コネクタ

9.1. バスコネクタ

項 目	型 名	メーカ
ライトアングルプラグ	MF03-96P-M4LT1-A1	日本航空電子

ピン番号	A 列信号ニモニク	B 列信号ニモニク	C 列信号ニモニク
1	D00	未接続	D08
2	D01	未接続	D09
3	D02	未接続	D10
4	D03	B5 と接続	D11
5	D04	B4 と接続	D12
6	D05	B7 と接続	D13
7	D06	B6 と接続	D14
8	D07	B9 と接続	D15
9	GND	B8 と接続	GND
1 0	未接続	B11 と接続	未接続
1 1	GND	B10 と接続	未接続
1 2	DS1*	未接続	SYSRESET*
1 3	DS0*	未接続	未接続
1 4	WRITE*	未接続	AM5
1 5	GND	未接続	未接続
1 6	DTACK*	AM0	未接続
1 7	GND	AM1	未接続
1 8	AS*	未接続	未接続
1 9	GND	AM3	未接続
2 0	IACK*	GND	未接続
2 1	IACKIN*	未接続	未接続
2 2	IACKOUT*	未接続	未接続
2 3	AM4	GND	A15
2 4	A07	未接続	A14
2 5	A06	IRQ6*	A13
2 6	A05	IRQ5*	A12
2 7	A04	IRQ4*	A11
2 8	A03	IRQ3*	A10
2 9	A02	IRQ2*	A09
3 0	A01	IRQ1*	A08
3 1	未接続	未接続	未接続
3 2	+5V	+5V	+5V

表 9-1 . バスコネクタピン割表

9.1.1.3-3-2.外部入力電源(C N 9)

ヘッダ : 1-179277-2 (AMP製) ボード側

ハウジング : 1-178128-4 (AMP製) 付属品

コンタクト : 175196-2 (AMP製) 付属品

番号	信号名	内 容
1	+ 5 V	外部供給電源 + 5 V 入力
2	+ 2 4 V	外部供給電源 + 2 4 V 入力
3	GND	外部供給電源 GND
4	GND	外部供給電源 GND

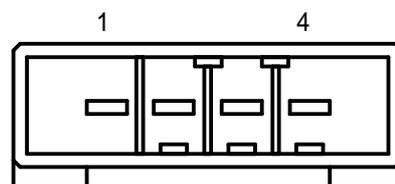


表 9-2. C N 9 ピン割表

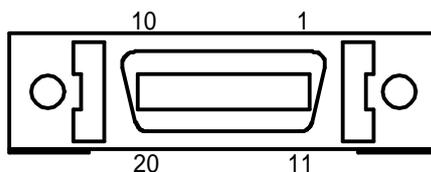
注 . + 5 V と + 2 4 V は内部では共通グランドです。

9.1.2.3-3-3.A~H軸入出力(C N 1 ~ C N 8)

リセプタクル : 10220-L8A9PE (住友 3 M製) ボード側

シェル : 10320-52F0-008 (住友 3 M製) 付属品

プラグ : 10120-6000EL (住友 3 M製) 付属品



番号	信号名	内 容	回路図	番号	信号名	内 容	回路図
1	ORG	原点信号入力		1 1	ALM	アラーム信号入力	
2	NEAR	ニア原点信号入力		1 2	IN	汎用入力入力	
3	FOR	正転オーバーラン入力		1 3	EA+	エンコーダ A 相入力	
4	REV	逆転オーバーラン入力		1 4	EA-		
5	CW	CW パルス出力		1 5	EB+	エンコーダ B 相入力	
6	CCW	CCW パルス出力		1 6	EB-		
7	CO	カレントオン信号出力		1 7	Z+	Z 相入力	
8	SON	サーボオン信号出力		1 8	Z-		
9	CLR	クリア信号出力		1 9	0V	コモン	-
1 0	INP	インポジション信号入力		2 0	0V		

表 9-3. C N 1 ~ C N 8 ピン割表

9.2.入出力回路図

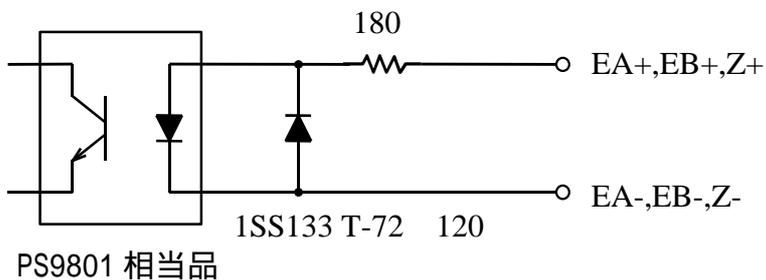


图 9-1 . 回路图

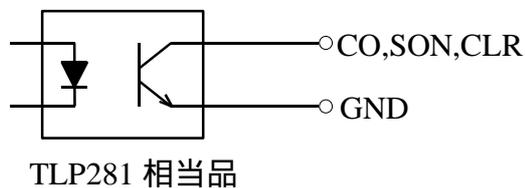


图 9-2 . 回路图

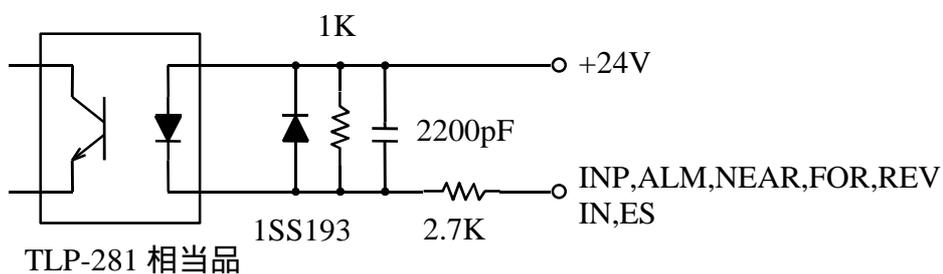


图 9-3 . 回路图

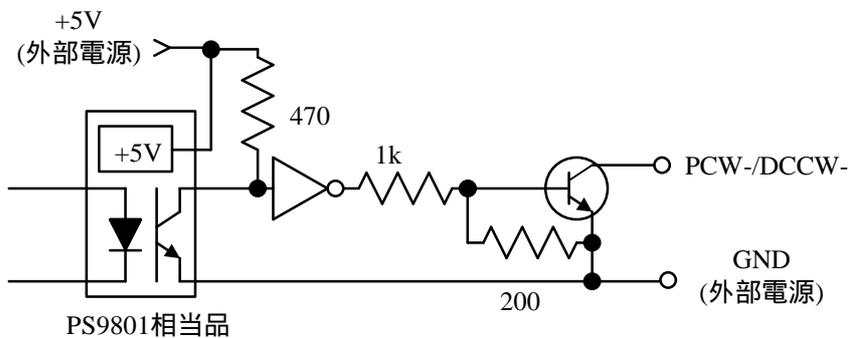


图 9-4 . 回路图

ORG

原点サーチ用の原点センサ入力です。出力レジスタ 3 / 4 の HOMESEL で Z±/ORG を選択します。本ボード内部回路によって原点サーチ機能動作時に内部生成された信号が MPG2031 の HOME 端子に接続されています。出力レジスタ 3 / 4 の HOMELOG によって論理を設定することができます。また、MPG2031 のコマンド 4 の LOG_HOME は 0 の正論理に設定して下さい。入力回路のフォトカプラ導通時がアクティブです。

NEAR

原点サーチ用のニア原点センサ入力端子です。原点サーチ機能をご使用の際は、A 接信号にして下さい。(同時に MPG2031 のコマンド 4 の LOG_NEAR は 0 に設定して下さい。)原点サーチ機能をご使用にならない場合には自由に論理設定して下さい。MPG2031 の NEAR 端子に接続されています。

FOR / REV

両端のオーバーランリミットセンサ入力端子です。MPG2031 のコマンド 4 の LOG_OV によって論理を設定することができます。MPG2031 の FOR/REV 端子に接続されています。

CW / CCW

ドライバへのパルス出力端子で、MPG2031 のパルス出力モードによって信号の機能が異なります。CW はパルス出力か CW パルス出力で、CCW は方向出力か CCW パルス出力となります。CW/CCW は各々 MPG2031 の PCW/DCCW 端子に接続されています。
MPG2031 のコマンド 4 の LOG_PLS によって出力論理を設定することが可能です。

CO

モータドライバに対する励磁オフ出力端子です。ハードウェアに依存していませんので汎用の出力ポートして使用することもできます。出力レジスタ 7 によってオン / オフすることができます。
'1' をセットすることでフォトカプラ出力がオンします。

SON

サーボモータドライバに対するサーボオン / オフ出力端子です。ハードウェアに依存していませんので汎用の出力ポートして使用することもできます。MPG2031 の OP0 によってオン / オフすることができます。
'1' をセットすることでフォトカプラ出力がオンします。

CLR

サーボモータドライバに対する偏差クリア(リセット)出力端子です。原点サーチ機能使用時にこの出力を操作していますので汎用の出力ポートとしてはご使用できません。
また、MPG2031 の OP1 を操作することでもこの出力端子をオン / オフすることができます。
OP1 を '1' にセットもしくは原点サーチ動作のクリア出力時にフォトカプラ出力がオンします。

I N P

サーボモータドライバに対するインポジション入力端子です。MPG2031 のコマンド 4 の LOG_INPS によって論理を設定することができます。

MPG2031 のコマンド 5 の STP をサーボモータに設定した場合、この信号が入力されれば動作完了シーケンスに入ります。サーボモータに設定してこの入力を未接続もしくは論理が逆になっていますと動作が完了せずハングアップしますので充分ご注意ください。MPG2031 の STUP 端子に接続されています。

A L M

アラーム入力端子です。通常はモータドライバのアラーム出力と接続されます。MPG2031 のコマンド 4 の LOG_ALM によって論理を設定することができます。MPG2031 の ALM 端子に接続されています。

I N

汎用入力端子です。A 接信号になっています。

E A ± / E B ±

エンコーダの A/B 相入力端子です。MPG2031 の EA/EB 端子に接続されています。入力回路のフォトカプラ導通時がアクティブです。

Z + / Z -

原点サーチ用の Z 相入力端子です。出力レジスタ 3 / 4 の HOMESEL で Z± /ORG を選択します。本ボード内部回路によって原点サーチ機能動作時に内部生成された信号が MPG2031 の HOME 端子に接続されています。出力レジスタ 3 / 4 の HOMELOG によって論理を設定することができます。また、MPG2031 のコマンド 4 の LOG_HOME は 0 の正論理に設定して下さい。入力回路のフォトカプラ導通時がアクティブです。

0V

GND 出力端子です。内部で C N9 の +5V と +24V 用の GND と接続されています。

10. タイミング

10.1. バスデータ読み出しサイクル

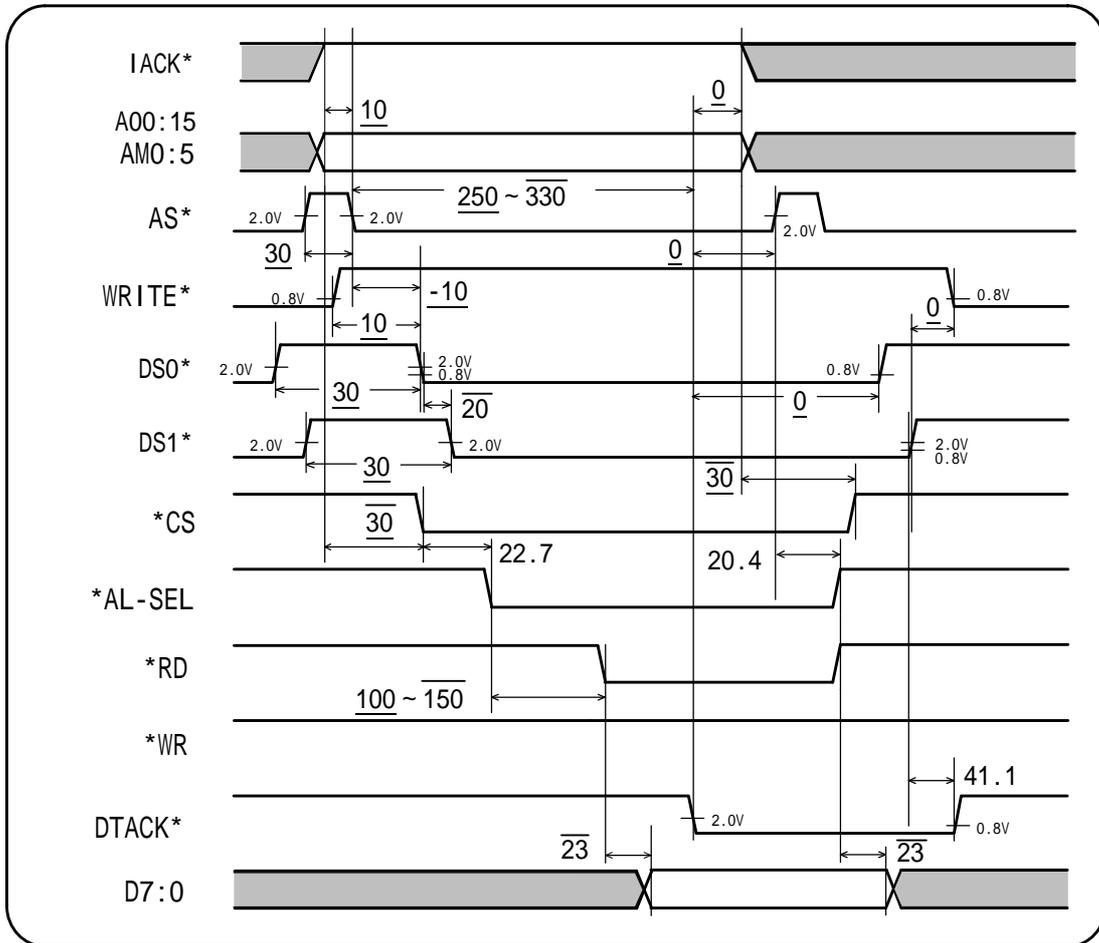


図 10-1 . 読み出しサイクル

信号名	内容
*CS	本モジュール内チップセレクト(MBC-001)信号
*AL-SEL	本モジュール内セレクト信号
*RD	本モジュール内読み出し信号
*WR	本モジュール内書き込み信号
D7:0	本モジュール内 MPG2031 データバス(確定)

項目	内容
単位	ns
斜線部	不定
下線	最小値
上線	最大値
上下線	標準値

10.2. バスデータ書き込みサイクル

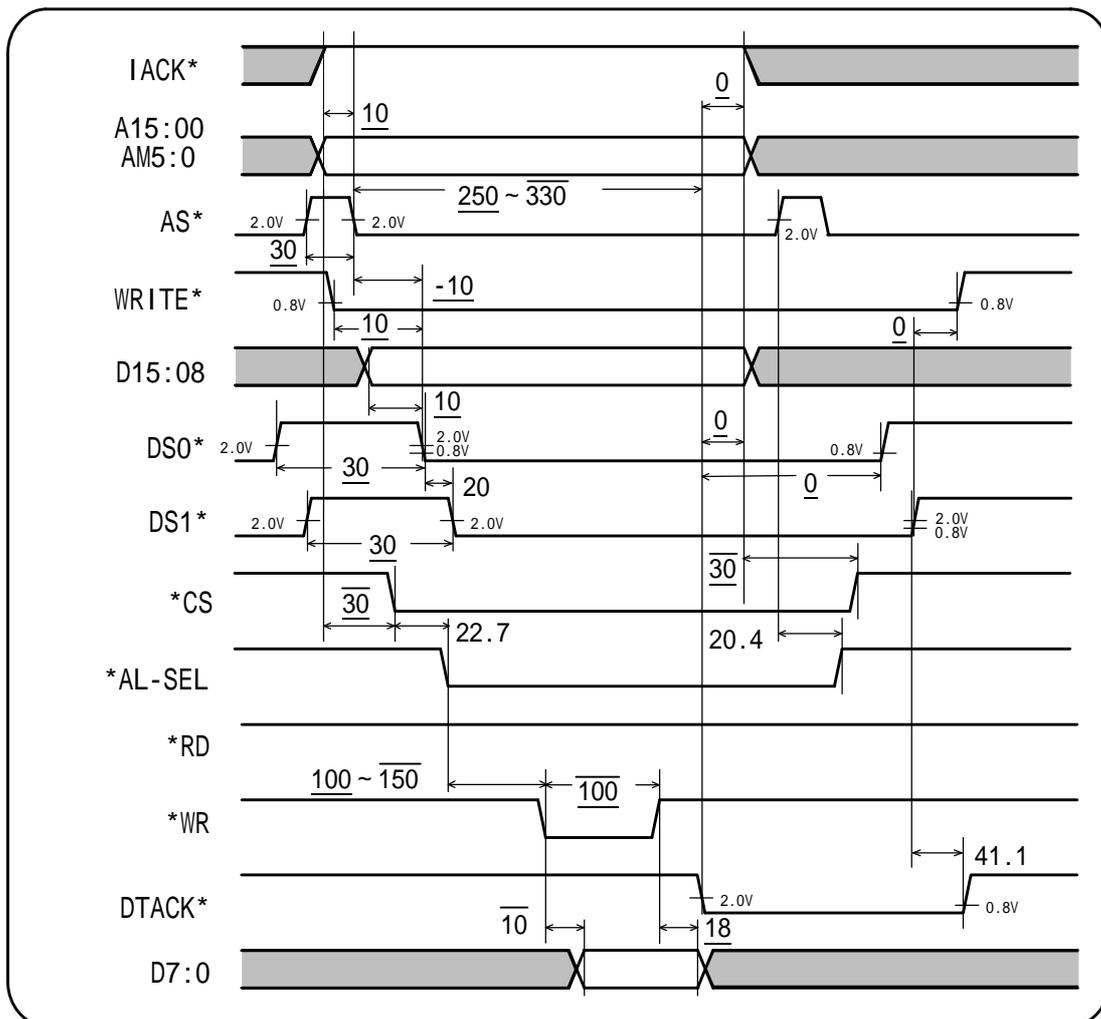


図 10-2 . 書き込みサイクル

信号名	内容
*CS	本モジュール内チップセレクト(MBC-001)信号
*AL-SEL	本モジュール内セレクト信号
*RD	本モジュール内読み出し信号
*WR	本モジュール内書き込み信号
D7:0	本モジュール内 MPG2031 データバス(確定)
D15:8	本モジュール VME-bus データバス(確定)

項目	内容
単位	ns
斜線部	不定
下線	最小値
上線	最大値
上下線	標準値

10.3. 割り込みタイミング

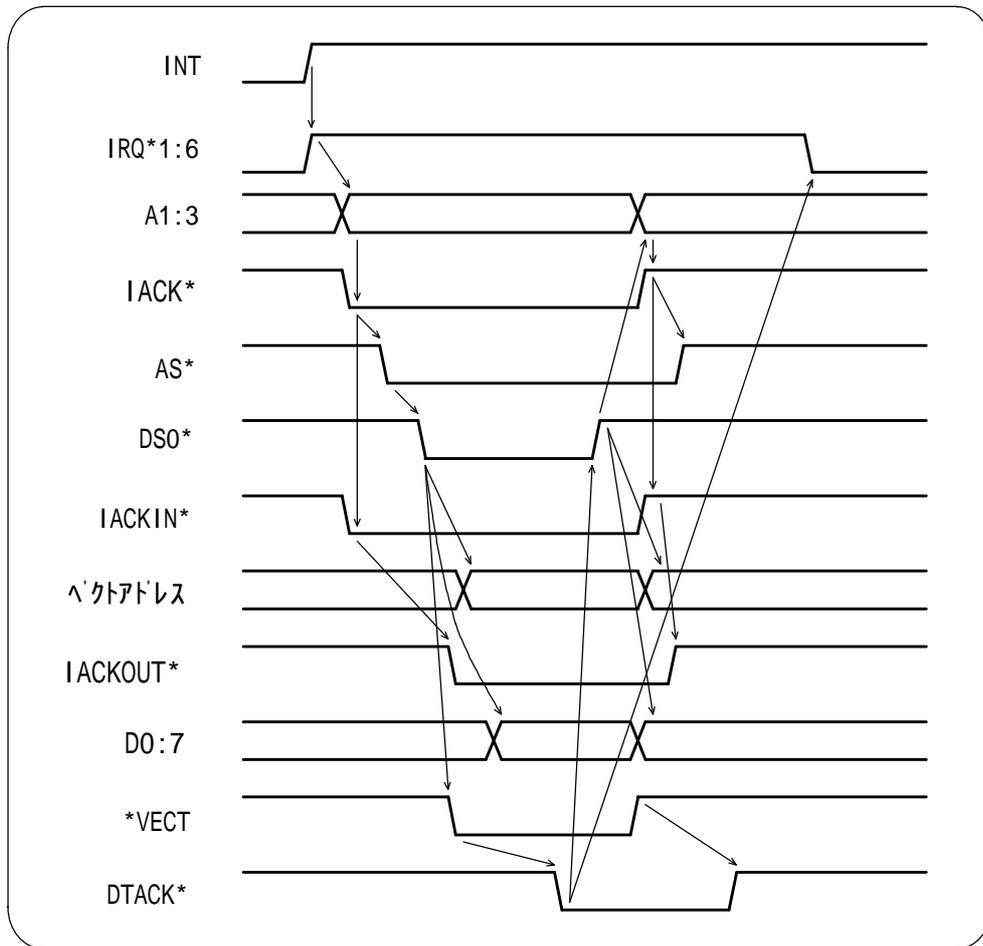


図 10-3 . 割り込みタイミング図

- *VECT 信号が “ L ” の間ベクタアドレスをデータバス(D 7 : 0)に出力します。
- IACKOUT*信号は IRQ1* ~ IRQ6*がディセーブルまたは割り込みレベルが違うときに出力します。通常は常に “ H ” です。(図は IACKOUT*が “ L ” になるときのタイミングです。)
- IRQ1* ~ IRQ6*のディセーブルは、**RORAオプション**を使用しているために発生元の割り込み要因をクリアしたときの DTACK*の立ち上がり以降に行われます。
(割り込みシーケンス内のサイクルで行われるものではありません。)

11. 出荷時の設定内容

11.1. SW 1 (割り込みベクタ、IRQコード)

割り込み未使用。

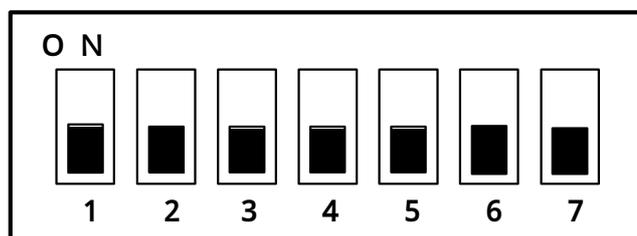


図 11-1 . SW 1 出荷設定

11.2. SW 2 (ベースアドレス設定)

0FF0000H ~ 0FF1FFFH。

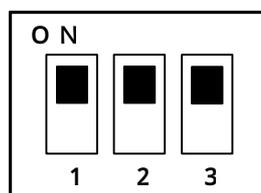


図 11-2 . SW 2 出荷設定

mycom

マイコム株式会社

〒615-8245 京都市西京区御陵大原 1-29

TEL. (075) 382-1580 FAX. (075) 382-1570

E-mail support@mycom-japan.co.jp

URL. <http://www.mycom-japan.co.jp/>

製品の性能および仕様、外観は改良のために予告なく変更することがありますので、ご了承下さい